

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-206457

(43)Date of publication of application : 07.08.1998

(51)Int.Cl.

G01P 15/125
H01L 29/84

(21)Application number : 09-009633

(71)Applicant : HITACHI LTD
HITACHI CAR ENG CO LTD

(22)Date of filing : 22.01.1997

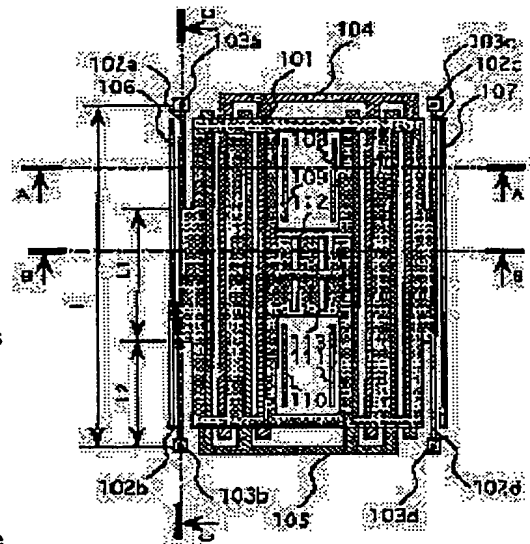
(72)Inventor : HANZAWA KEIJI
SHIMADA SATOSHI
SUZUKI KIYOMITSU
MATSUMOTO MASAHIRO
SAITO AKIHIKO
ICHIKAWA NORIO
HORIE JUNICHI
NAKAZAWA TERUMI

(54) CAPACITIVE ACCELERATION SENSOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a sensor structure having a relatively simple detection circuit of good detection accuracy without servo control performed.

SOLUTION: The sensor has center beams 102a, 102b; 102c, 102d fixed to a surface of a substrate, a movable electrode 101 supported by the center beams via a space to the substrate and movable in a direction parallel to the substrate surface, fixed electrodes 104, 105 set at the substrate to confront the movable electrode, and side electrodes 106-111 located sideways of the movable electrode and projecting from the substrate surface. A change of a confronting area of the movable electrode and fixed electrode 104, 105 is detected as a change of a static capacity. In this case, a half length L2 of the center beam and a length L1 of the movable electrode at a part fixed to the center beam are set to hold a relationship $L2/L1$ of 0.8-2.2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-206457

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.⁸

識別記号

F I

G 0 1 P 15/125

G 0 1 P 15/125

H 0 1 L 29/84

H 0 1 L 29/84

Z

審査請求 未請求 請求項の数12 O L (全 20 頁)

(21) 出願番号

特願平9-9633

(22) 出願日

平成9年(1997) 1月22日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000232999

株式会社日立カーエンジニアリング

312 茨城県ひたちなか市高場2477番地

(72) 発明者 半沢 恵二

茨城県ひたちなか市高場2477番地 株式会

社日立カーエンジニアリング内

(72) 発明者 嶋田 智

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内

(74) 代理人 弁理士 平木 祐輔

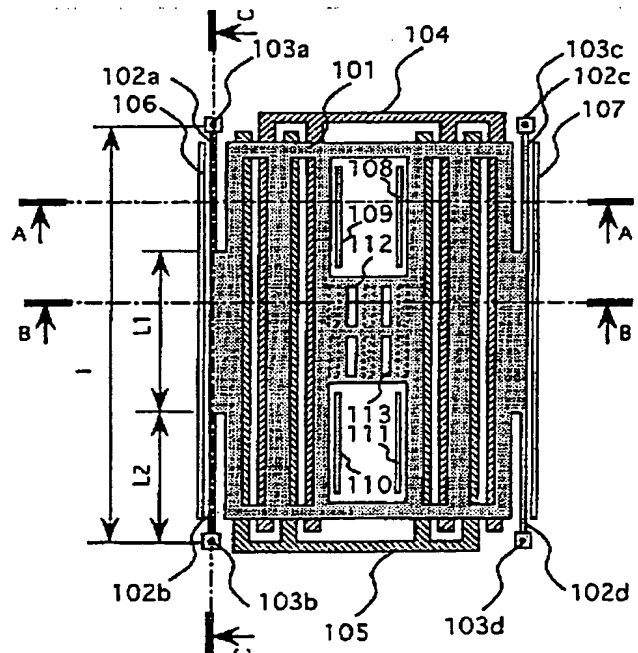
最終頁に続く

(54) 【発明の名称】 静電容量式加速度センサ及びその製造方法

(57) 【要約】 (修正有)

【課題】 検出回路が比較的簡単でサーボ制御しなくても検出精度がよいセンサ構造を提供する。

【解決手段】 基板表面に固定された両持ち梁102a, 102b; 102c, 102dと、両持ち梁によって基板に対して空隙を持って支持され基板表面と平行な方向に変位可能な可動電極101と、可動電極に対向して基板に設けられた固定電極104, 105と、可動電極の側方に位置し基板表面から突出して設けられたサイド電極106~111とを備える。可動電極101と固定電極104, 105との対向面積の変化を静電容量の変化として検出する。両持ち梁の半分の長さL2と、可動電極が両持ち梁に固定されている長さL1の比L2/L1を0.8~2.2とする。



【特許請求の範囲】

【請求項1】 基板表面に固定された両持ち梁と、前記両持ち梁によって前記基板に対して空隙を持って支持され前記基板表面と平行な方向に変位可能な可動電極と、前記可動電極に対向して前記基板に設けられた固定電極と、前記可動電極の側方に位置し前記基板表面から突出して設けられたサイド電極とを備え、前記可動電極と前記固定電極との対向面積の変化を静電容量の変化として検出することを特徴とする静電容量式加速度センサ。

【請求項2】 請求項1記載の静電容量式加速度センサにおいて、前記両持ち梁の半分の長さ L_2 と、前記可動電極が前記両持ち梁に固定されている長さ L_1 の比 L_2/L_1 が0.8～2.2であることを特徴とする静電容量式加速度センサ。

【請求項3】 請求項1又は2記載の静電容量式加速度センサにおいて、前記可動電極の厚み h と前記空隙 d の比 h/d が1.2～3.4であることを特徴とする静電容量式加速度センサ。

【請求項4】 請求項1～3のいずれか1項記載の静電容量式加速度センサにおいて、前記固定電極は第1の電極と第2の電極とからなり、前記可動電極と前記第1の電極との対向面積と、前記可動電極と前記第2の電極との対向面積とは、前記可動電極の変位によって一方が増加するとき他方が減少する関係を有し、前記可動電極と前記第1電極間の静電容量と、前記可動電極と前記第2の電極間の静電容量の差を検出することを特徴とする静電容量式加速度センサ。

【請求項5】 基板表面を彫り込んで形成された凹部底面に固定された両持ち梁と、前記両持ち梁によって前記基板に対して空隙を持って支持され前記基板表面と平行な方向に変位可能な可動電極と、前記可動電極の側方に空隙をもって前記基板に設けられた固定電極とを備え、前記可動電極と固定電極の空隙距離の変化を静電容量の変化として検出することを特徴とする静電容量式加速度センサ。

【請求項6】 請求項5記載の静電容量式加速度センサにおいて、前記両持ち梁の半分の長さ L_2 と、前記可動電極が前記両持ち梁に固定される長さ L_1 の比 L_2/L_1 が0.8～2.2であることを特徴とする静電容量式加速度センサ。

【請求項7】 基板表面に固定された両持ち梁と、前記両持ち梁によって前記基板に対して空隙を持って支持され前記基板表面と平行な方向に変位可能な可動電極と、前記可動電極の側方に空隙をもって前記基板表面から突出して設けられた固定電極とを備え、前記可動電極と固定電極の空隙距離の変化を静電容量の変化として検出することを特徴とする静電容量式加速度センサ。

【請求項8】 請求項7記載の静電容量式加速度センサにおいて、前記両持ち梁の半分の長さ L_2 と、前記可動

電極が前記両持ち梁に固定される長さ L_1 の比が0.8～2.2であることを特徴とする静電容量式加速度センサ。

【請求項9】 基板表面に固定された両持ち梁と、前記両持ち梁によって前記基板に対して空隙を持って支持され前記基板表面と平行な方向に変位可能な可動電極と、前記可動電極に対向して前記基板に設けられた固定電極と、前記可動電極の側方に位置し前記基板表面から突出して設けられたサイド電極とを備え、前記可動電極と前記固定電極との対向面積の変化を静電容量の変化として検出する静電容量式加速度センサの製造方法であって、

(a)単結晶シリコン基板にマスク用の第1の膜を形成する工程と、(b)前記第1の膜にパターンを形成し、前記パターンが形成された膜をマスクとして前記基板に不純物をドーブし、前記基板に前記固定電極を形成する工程と、(c)前記第1の膜を除去し、そののちマスク用の第2の膜を形成する工程と、(d)前記第2の膜に前記両持ち梁のアンカー部となる孔及び前記サイド電極が結合される孔を形成する工程と、(e)その上に多結晶シリコン膜を形成し、前記多結晶シリコン膜を導電化処理したのち、その上にマスク用の第3の膜を形成する工程と、(f)前記第3の膜に前記多結晶シリコン膜を加工するためのパターンを形成する工程と、(g)前記パターンが形成された膜をマスクとして前記多結晶シリコン膜をエッチング加工し、前記両持ち梁、前記両持ち梁に結合された前記可動電極及び前記サイド電極を形成する工程と、(h)前記多結晶シリコン膜の下方に位置する前記第2の膜を除去する工程と、を含むことを特徴とする静電容量式加速度センサの製造方法。

【請求項10】 基板表面に固定された両持ち梁と、前記両持ち梁によって前記基板に対して空隙を持って支持され前記基板表面と平行な方向に変位可能な可動電極と、前記可動電極に対向して前記基板に設けられた固定電極と、前記可動電極の側方に位置し前記基板表面から突出して設けられたサイド電極とを備え、前記可動電極と前記固定電極との対向面積の変化を静電容量の変化として検出する静電容量式加速度センサの製造方法であって、(a)基板上に多結晶シリコン膜を形成し、前記多結晶シリコン膜を導電化処理したのち、その上にマスク用の第1の膜を形成する工程と、(b)前記第1の膜にパターンを形成し、前記パターンが形成された膜をマスクとして前記多結晶シリコン膜をエッチング加工し、前記固定電極を形成する工程と、(c)前記第1の膜を除去し、そののちマスク用の第2の膜を形成する工程と、(d)前記第2の膜に前記両持ち梁のアンカー部となる孔及び前記サイド電極が結合される孔を形成する工程と、(e)その上に多結晶シリコン膜を形成し、前記多結晶シリコン膜を導電化処理したのち、その上にマスク用の第3の膜を形成する工程と、(f)前記第3の膜に前記多結晶シリコン膜を加工するためのパターンを形成

する工程と、(g)前記パターンが形成された膜をマスクとして前記多結晶シリコン膜をエッチング加工し、前記両持ち梁、前記両持ち梁に結合された前記可動電極及び前記サイド電極を形成する工程と、(h)前記多結晶シリコン膜の下方に位置する前記第2の膜を除去する工程と、を含むことを特徴とする静電容量式加速度センサの製造方法。

【請求項11】 基板表面を彫り込んで形成された凹部底面に固定された両持ち梁と、前記両持ち梁によって前記基板に対して空隙を持って支持され前記基板表面と平行な方向に変位可能な可動電極と、前記可動電極の側方に空隙をもって前記基板に設けられた固定電極とを備え、前記可動電極と固定電極の空隙距離の変化を静電容量の変化として検出する静電容量式加速度センサの製造方法であって、(a)単結晶シリコン基板にマスク用の第1の膜を形成する工程と、(b)前記第1の膜にパターンを形成し、前記パターンが形成された膜をマスクとして前記基板に不純物をドーブし、前記基板に前記固定電極を形成する工程と、(c)前記第1の膜を除去し、そのうちマスク用の第2の膜を形成する工程と、(d)前記第2の膜にパターンを形成し、それをマスクとして前記基板及び前記固定電極をエッチング加工し、前記基板に形成された溝の側面に前記固定電極を露出させる工程と、(e)前記基板上に電気絶縁膜及びマスク用の第3の膜を積層する工程と、(f)前記第3の膜に前記両持ち梁のアンカー部となる孔を形成する工程と、(g)その上に多結晶シリコン膜を形成し、前記多結晶シリコン膜を導電化処理したのち、その上にマスク用の第4の膜を形成する工程と、(h)前記第4の膜に前記多結晶シリコン膜を加工するためのパターンを形成する工程と、(i)前記パターンが形成された膜をマスクとして前記多結晶シリコン膜をエッチング加工する工程と、(j)前記多結晶シリコン膜と前記電気絶縁膜の間に位置する前記第3の膜を除去する工程と、を含むことを特徴とする静電容量式加速度センサの製造方法。

【請求項12】 基板表面に固定された両持ち梁と、前記両持ち梁によって前記基板に対して空隙を持って支持され前記基板表面と平行な方向に変位可能な可動電極と、前記可動電極の側方に空隙をもって前記基板表面から突出して設けられた固定電極とを備え、前記可動電極と固定電極の空隙距離の変化を静電容量の変化として検出する静電容量式加速度センサの製造方法であって、(a)基板に前記固定電極用の配線を形成する工程と、(b)基板上に酸化膜を堆積する工程と、(c)前記酸化膜の垂直壁が前記配線上に位置するようにして前記酸化膜をエッチング加工する工程と、(d)前記酸化膜の垂直壁に前記配線に接続されるようにして前記固定電極を形成する工程と、(e)前記基板上に電気絶縁膜及びマスク用の第1の膜を積層する工程と、(f)前記前記電気絶縁膜上の第1の膜に前記両持ち梁のアンカー部と

なる孔を形成する工程と、(g)その上に多結晶シリコン膜を形成し、前記多結晶シリコン膜を導電化処理したのち、その上にマスク用の第2の膜を形成する工程と、

(h)前記第2の膜に前記多結晶シリコン膜を加工するためのパターンを形成する工程と、(i)前記パターンが形成された膜をマスクとして前記多結晶シリコン膜をエッチング加工する工程と、(j)前記多結晶シリコン膜と前記電気絶縁膜の間に位置する前記第1の膜を除去する工程と、

を含むことを特徴とする静電容量式加速度センサの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、加速度を検出する加速度センサに関し、特に自動車エアバッグやシートベルトの制御を行う安全装置等に組み込んで使用するのに好適な静電容量式加速度センサに関する。

【0002】

【従来の技術】自動車のエアバッグシステムやシートベルトシステム等の安全装置には自動車の衝突を検知するための加速度センサが組み込まれている。この安全装置は、自動車の衝突時以外の時に作動すると運転者の自由が安全装置によって奪われるため非常に危険である。一方、衝突時には確実に作動しないと運転者や同乗者の生命を保護するという安全装置本来の目的を達成することができない。したがって、自動車の安全装置に組み込まれて自動車の衝突検知を行う加速度センサには極めて高い信頼性が要求される。

【0003】この加速度センサとして、ビームで支持され且つ可動電極の機能を有する可動マス及び可動マスに対向して配置された固定電極よりなる加速度検出部と、加速度に応じて変位する可動マスの動きを加速度信号に変換する信号処理回路部とをシリコン基板上に一体に集積化した構造のものが“ELECTRONIC DESIGN”1991年8月号、45～56ページに記載されている。

【0004】

【発明が解決しようとする課題】前記した従来の加速度センサは、加速度検出精度を高めるために、また可動マス(可動電極)が変位してセンサの加速度検出部が破壊されるのを防止するために、可動マスが固定電極に対して所定の位置関係となるように加速度検出部をサーボ制御し、その制御出力から加速度信号を得るようにしている。このため、信号処理回路が複雑化している。また、加速度検出部の構造は、加工のために用いるマスクのパターン精度等、製造プロセスの影響を受けやすく、センサ特性のバラツキが大きい。

【0005】更に、自動車のエアバッグシステム等を使用される加速度センサは、検出方向以外から印加される加速度成分に対する所定の弁別比(他軸感度)特性や、所定の周波数特性、エンジンスイッチ投入時等に行き

れる自己診断機能等を備えていなければならない。

【0006】本発明は、このような加速度センサの現状に鑑みてなされたもので、比較的簡単な検出回路を用い、加速度検出部をサーボ制御しなくても高精度な加速度検出が可能な加速度センサを提供することを目的とする。また、本発明は、センサ間の特性のバラツキが少なく、他軸感度特性や自己診断機能に対する要求を満足し、且つ最も小さな構造で最大の検出精度の得られる加速度センサを提供することを目的とする。

【0007】

【課題を解決するための手段】本発明では、基板に設けられた固定電極と、基板に梁で支持されて固定電極に対向配置された電極機能を有する可動マスとを用い、加速度によって固定電極と可動マスとの対向面積が変化するセンサ構造を採用することによって前記目的を達成する。固定電極と可動マス（可動電極）の対向面積が変化すると、その間の静電容量が変化するため、この静電容量の変化を検知することにより加速度を検出することができる。

【0008】図1は、本発明による静電容量式加速度センサの一例の基本構成を示す略図である。図1(a)は固定電極と可動マス（可動電極）の位置関係を示す略平面図、図1(b)はそのA-A断面図である。固定電極14はシリコン等の基板16に形成されており、電極機能を有する可動マス（可動電極）11は固定電極14と一部重なり合うようにして固定電極14の上方に配置されている。可動マス11は、アンカー部13a、13bで基板16に固定された梁12a、12bによって、固定電極14の上方に所定の間隙を有して支持されている。

【0009】加速度が基板16と平行に図1の左右方向から加わると、可動電極11は慣性力によって固定電極14に対して相対的に変位する。この可動電極11と固定電極14との相対変位によって、2つの電極11、14の対向面積が変化する。したがって、これを一對の電極11、14によって構成されるコンデンサの静電容量の変化として捉えることにより、加速度を検出することができる。

【0010】図2は、本発明による静電容量式加速度センサの他の例の基本構成を示す略図である。図2(a)は固定電極と可動マスの位置関係を示す略平面図、図2(b)はそのA-A断面図である。図2の例は、基板16上に固定電極14に加えて他の固定電極15を追加し、2つの固定電極14、15に各々一部が重なるようにして可動マス（可動電極）11を設けたものである。可動マス11は、アンカー部13a、13bで基板16に固定された梁12a、12bによって、固定電極14の上方に所定の間隙を有して支持されている。

【0011】加速度が基板16と平行に図2の左右方向から加わると、可動電極11は慣性力によって固定電極

14、15に対して相対的に変位する。この可動電極11と固定電極14との相対変位によって、可動電極11と固定電極14の対向面積、及び可動電極11と固定電極15bの対向面積が各々変化する。したがって、これを可動電極11と固定電極14によって構成される第1のコンデンサの静電容量変化、及び可動電極11と固定電極15によって構成される第2のコンデンサの静電容量変化として捉えることにより、加速度を検出することができる。具体的には、2つのコンデンサの静電容量は一方が増加すれば他方は減少する関係で変化するので、2つのコンデンサの静電容量の差の変化から加速度を検出することができる。このとき、加速度がゼロの平衡状態において、2つのコンデンサの静電容量が等しいように電極形状を定めておくのが好ましい。

【0012】本発明による静電容量式加速度センサは、基板表面に固定された両持ち梁と、両持ち梁によって基板に対して空隙を持って支持され基板表面と平行な方向に変位可能な可動電極と、可動電極に対向して基板に設けられた固定電極と、可動電極の側方に位置し基板表面から突出して設けられたサイド電極とを備え、可動電極と固定電極との対向面積の変化を静電容量の変化として検出することを特徴とする。

【0013】両持ち梁の半分の長さL2と、可動電極が両持ち梁に固定されている長さL1の比L2/L1は、0.8~2.2であることが好ましい。また、可動電極の厚みhと空隙dの比h/dは1.2~3.4であることが好ましい。

【0014】前記固定電極は第1の電極と第2の電極とからなり、可動電極と第1の電極との対向面積と、可動電極と第2の電極との対向面積とは、可動電極の変位によって一方が増加するとき他方が減少する関係を有するように構成し、可動電極と第1電極間の静電容量と、可動電極と第2の電極間の静電容量の差を検出することで加速度検出を行うことができる。

【0015】可動電極は変位方向と略直交する方向に延び互いに接続された複数の電極から構成することができる。サイド電極は可動電極と同一の材料で形成されているものとしてすることができる。固定電極は単結晶シリコン基板表面に不純物を拡散して形成された電極とすることができる。固定電極は、また、単結晶シリコン基板表面に積層され、且つ不純物が含まれる多結晶シリコン電極で構成することができる。

【0016】本発明の静電容量式加速度センサには、可動電極と固定電極との対向面積を調整するための調整機構を設けることができる。この調整機構は基板表面に設けられた面積調整用の電極パターンと電極パターンを固定電極に選択的に接続するためのスイッチング手段とを備えることができる。面積調整用の電極パターンは、可動電極の変位にかかわらず常に可動電極と対向する位置に配置される。

【0017】また、前記調整機構は可動電極とサイド電極との間に所定の電圧を印加する電圧印可手段を備え、サイド電極への電圧印可により可動電極を強制的に変位させるものとしてすることができる。前記調整機構は、また、可動電極とサイド電極との間に電圧を印加する電圧印可手段と、電圧印可手段にサイド電極を選択的に接続するためのスイッチング手段とを備え、サイド電極への電圧印可により可動電極を強制的に変位させるものとしてすることができる。

【0018】調整機構が備えるスイッチング手段は、ツェナーザップトリミング、多結晶シリコンヒューズ又はEEPROMからなるデジタル調整手段とすることができる。また、本発明による静電容量式加速度センサは、基板表面を彫り込んで形成された凹部底面に固定された両持ち梁と、両持ち梁によって基板に対して空隙を持って支持され基板表面と平行な方向に変位可能な可動電極と、可動電極の側方に空隙をもって基板に設けられた固定電極とを備え、可動電極と固定電極の空隙距離の変化を静電容量の変化として検出することを特徴とする。

【0019】可動電極は導電化された多結晶シリコンにより構成し、固定電極は導電化された単結晶シリコン、導電化された多結晶シリコン又は金属によって構成することができる。両持ち梁の半分の長さ L_2 と、可動電極が両持ち梁に固定される長さ L_1 の比 L_2/L_1 は0.8～2.2であることが好ましい。

【0020】また、本発明による静電容量式加速度センサは、基板表面に固定された両持ち梁と、両持ち梁によって基板に対して空隙を持って支持され基板表面と平行な方向に変位可能な可動電極と、可動電極の側方に空隙をもって基板表面から突出して設けられた固定電極とを備え、可動電極と固定電極の空隙距離の変化を静電容量の変化として検出することを特徴とする。

【0021】可動電極は導電化された多結晶シリコンにより構成し、固定電極は導電化された多結晶シリコン又は金属により構成することができる。あるいは、可動電極及び固定電極は導電化された単結晶シリコンにより構成することができる。前記可動電極は固定電極を囲むような形状とすることができる。あるいは、可動電極の外周を包囲する枠を基板から突出して設けることができる。

【0022】このセンサにおいても、両持ち梁の半分の長さ L_2 と、可動電極が両持ち梁に固定される長さ L_1 の比は0.8～2.2であることが好ましい。前記した、基板表面に固定された両持ち梁と、両持ち梁によって基板に対して空隙を持って支持され基板表面と平行な方向に変位可能な可動電極と、可動電極に対向して基板に設けられた固定電極と、可動電極の側方に位置し基板表面から突出して設けられたサイド電極とを備え、可動電極と固定電極との対向面積の変化を静電容量の変化として検出する静電容量式加速度センサは、(a)単結晶

シリコン基板にマスク用の第1の膜を形成する工程と、(b)第1の膜にパターンを形成し、パターンが形成された膜をマスクとして基板に不純物をドーブし、基板に固定電極を形成する工程と、(c)第1の膜を除去し、そののちマスク用の第2の膜を形成する工程と、(d)第2の膜に両持ち梁のアンカー部となる孔及びサイド電極が結合される孔を形成する工程と、(e)その上に多結晶シリコン膜を形成し、多結晶シリコン膜を導電化処理したのち、その上にマスク用の第3の膜を形成する工程と、(f)第3の膜に多結晶シリコン膜を加工するためのパターンを形成する工程と、(g)パターンが形成された膜をマスクとして多結晶シリコン膜をエッチング加工し、両持ち梁、両持ち梁に結合された可動電極及びサイド電極を形成する工程と、(h)多結晶シリコン膜の下方に位置する第2の膜を除去する工程とを含む製造方法によって製造することができる。マスク用の膜には、酸化膜や窒化膜を用いることができる。

【0023】また、前記静電容量式加速度センサは、(a)基板上に多結晶シリコン膜を形成し、多結晶シリコン膜を導電化処理したのち、その上にマスク用の第1の膜を形成する工程と、(b)第1の膜にパターンを形成し、パターンが形成された膜をマスクとして多結晶シリコン膜をエッチング加工し、固定電極を形成する工程と、(c)第1の膜を除去し、そののちマスク用の第2の膜を形成する工程と、(d)第2の膜に両持ち梁のアンカー部となる孔及びサイド電極が結合される孔を形成する工程と、(e)その上に多結晶シリコン膜を形成し、多結晶シリコン膜を導電化処理したのち、その上にマスク用の第3の膜を形成する工程と、(f)第3の膜に多結晶シリコン膜を加工するためのパターンを形成する工程と、(g)パターンが形成された膜をマスクとして多結晶シリコン膜をエッチング加工し、両持ち梁、両持ち梁に結合された可動電極及びサイド電極を形成する工程と、(h)多結晶シリコン膜の下方に位置する第2の膜を除去する工程とを含む製造方法によって製造することができる。

【0024】また、前記した、基板表面を彫り込んで形成された凹部底面に固定された両持ち梁と、両持ち梁によって基板に対して空隙を持って支持され基板表面と平行な方向に変位可能な可動電極と、可動電極の側方に空隙をもって基板に設けられた固定電極とを備え、可動電極と固定電極の空隙距離の変化を静電容量の変化として検出する静電容量式加速度センサは、(a)単結晶シリコン基板にマスク用の第1の膜を形成する工程と、(b)第1の膜にパターンを形成し、パターンが形成された膜をマスクとして基板に不純物をドーブし、基板に固定電極を形成する工程と、(c)第1の膜を除去し、そののちマスク用の第2の膜を形成する工程と、(d)第2の膜にパターンを形成し、それをマスクとして基板及び固定電極をエッチング加工し、基板に形成された溝

の側面に固定電極を露出させる工程と、(e) 基板上に電気絶縁膜及びマスク用の第3の膜を積層する工程と、

(f) 第3の膜に両持ち梁のアンカー部となる孔を形成する工程と、(g) その上に多結晶シリコン膜を形成し、多結晶シリコン膜を導電化処理したのち、その上にマスク用の第4の膜を形成する工程と、(h) 第4の膜に多結晶シリコン膜を加工するためのパターンを形成する工程と、(i) パターンが形成された膜をマスクとして多結晶シリコン膜をエッチング加工する工程と、

(j) 多結晶シリコン膜と電気絶縁膜の間に位置する第3の膜を除去する工程とを含む製造方法によって製造することができる。

【0025】また、前記した、基板表面に固定された両持ち梁と、両持ち梁によって基板に対して空隙を持って支持され基板表面と平行な方向に変位可能な可動電極と、可動電極の側方に空隙をもって基板表面から突出して設けられた固定電極とを備え、可動電極と固定電極の空隙距離の変化を静電容量の変化として検出する静電容量式加速度センサは、(a) 基板に固定電極用の配線を形成する工程と、(b) 基板上に酸化膜を堆積する工程と、(c) 酸化膜の垂直壁が配線上に位置するようにして酸化膜をエッチング加工する工程と、(d) 酸化膜の垂直壁に配線に接続されるようにして固定電極を形成する工程と、(e) 基板上に電気絶縁膜及びマスク用の第1の膜を積層する工程と、(f) 電気絶縁膜上の第1の膜に両持ち梁のアンカー部となる孔を形成する工程と、(g) その上に多結晶シリコン膜を形成し、多結晶シリコン膜を導電化処理したのち、その上にマスク用の第2の膜を形成する工程と、(h) 第2の膜に多結晶シリコン膜を加工するためのパターンを形成する工程と、

(i) パターンが形成された膜をマスクとして多結晶シリコン膜をエッチング加工する工程と、(j) 多結晶シリコン膜と電気絶縁膜の間に位置する第1の膜を除去する工程とを含む製造方法によって製造することができる。

【0026】本発明によると、製造プロセスを増加させることなく、簡単な構成で、所望の周波数特性、自己診断特性等を満足させることのできる比較的高精度な加速度センサを得ることができる。

【0027】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を説明する。図3は本発明による静電容量式加速度センサの一例を示す平面図、図4はその断面図である。図4(a), (b), (c)は、各々図3中に指示されたA-A, B-B, C-Cラインでの断面図である。

【0028】この静電容量式加速度センサは、単結晶シリコン基板114上に設けられた一対の固定電極104, 105、基板114から突出して設けられたサイド電極106, 107, 108, 109, 110, 11

1、面積調整用パターン121a~121c、ギャップ120を介して基板114上に設けられた可動マス(可動電極)101、可動マス101を支持する4本の梁102a~102d、梁102a~102dを基板114に固定するアンカー部103a~103dを備える。梁102a, 102b; 102c, 102dは長さ $2 \times L$ の両持ち梁を構成し、可動マス101は長さ L にわたってその両側部を両持ち梁に支持されている。一対の固定電極104, 105は相互に入り組んだ櫛形電極である。

【0029】可動マス101は、図示の例では4本のスリットによって分離された6本の細長い電極部、サイド電極108, 109と110, 111が入り込む窓部、中央部に設けられた貫通溝112, 113を有し、アンカー部103a~103dを支点として基板114の表面に平行に変位可能な可動電極として機能する。スリットで区切られた可動マス101の細長い電極部は各々固定電極104, 105の一方又は双方と重なり、可動マス101が図3の左右方向に変位したとき、それぞれ固定電極104, 105との重なり程度が変化する。

【0030】基板面に対し水平方向(図3の左右方向)の加速度が加わった場合に、可動マス101が固定電極104, 105に対して相対的に変位し、可動マス101と固定電極104, 105との対向電極面積が変化する。ここで、可動マス(可動電極)101と固定電極104によって構成される第1のコンデンサの静電容量と、可動マス(可動電極)101と固定電極105によって構成される第2のコンデンサの静電容量との差を考える。可動マス101と固定電極104の対向面積を S_1 、可動マス101と固定電極105との対向面積を S_2 、可動マス101と固定電極104, 105の間に形成されたギャップ120の距離を d 、誘電率を ϵ とすると、加速度が加わった時の2つのコンデンサの静電容量の差の変化 ΔC は次の【数1】で表される。

【0031】

$$\text{【数1】 } \Delta C = \epsilon (S_1 - S_2) / d$$

【0032】したがって、この加速度センサに加速度が加わると、可動マス101と固定電極104によって構成される第1のコンデンサの静電容量と、可動マス101と固定電極105によって構成される第2のコンデンサの静電容量が変化し、その差を検出することで加速度の大きさを検出することができる。この方法により加速度検出を行うと、可動マス101と可動電極104, 105間のギャップ120が変わることがないため、容量検出特性は入力加速度に対してほぼ直線となる。したがって、この加速度センサは、加速度によってギャップが変化することを検出する従来のタイプの加速度センサと比較して良好な特性を有する。

【0033】また、過大な加速度が加わった場合に梁102a~102cに過大な応力が印加されるのを防止の

ため、ストッパーとして機能するサイド電極106~111が設けられている。このサイド電極106~111は、可動マス101との空隙間隔を狭く（例えば1 μ m）することによって、スクイズフィルム効果によるエアダンピングにより可動マス101の共振を抑える機能も有する。更に、可動マス101とサイド電極106~111との間に電圧を印加することによって両電極間に静電力が働き、可動マス101を強制変位させることができる。このことにより、検出部の自己診断を行うことが可能となる。

【0034】また、基板114上には、可動マス101が移動したとしても可動マス101の電極パターンからはみ出ることなく確実に覆われるようにして、固定電極104、105の面積調整用のパターン121a~121cが設けられている。この面積調整用パターン121a~121cを固定電極104又は固定電極105に接続するかしないかを切り替えることにより、可動マス101と固定電極104、105の位置ズレに原因する2つのコンデンサの静電容量のアンバランスを補償することが可能である。すなわち、この面積調整用パターン121a~121cの一つあるいは複数のものを固定電極104又は105に電気的に接続することによって可動マス101と対向する固定電極104又は105の面積を実効的に増大させ、可動マス101と固定電極104によって構成される第1のコンデンサの静電容量と、可動マス101と固定電極105によって構成される第2のコンデンサの静電容量とが略等しくなるようにされる。

【0035】このような構成により、印可加速度に対してほぼ直線的に変化する検出出力が得られるため、高精度な加速度センサを得ることができる。また、可動マス（可動電極）101の側方に基板114から突出して設けられたサイド電極106~111により、梁102a~102dに過大な応力が印可されるのが防止されるとともに、共振防止と自己診断機能を同時に実現することができる。更に、基板114に面積調整用パターン121a~121cを設けることにより、可動電極101と固定電極104、105によって構成される2つのコンデンサの静電容量のバラツキを検出素子内部で補償できるため、後段に接続される検出回路の構成を簡略化することができる。

【0036】図5は本発明による静電容量式加速度センサの他の例を示す平面図、図6はその断面図である。図6(a)、(b)、(c)は、各々図5中に指示されたA-A、B-B、C-Cラインでの断面図である。

【0037】この例の静電容量式加速度センサは、単結晶シリコン基板214上に設けられた一対の固定電極204、205、基板214から突出して設けられたサイド電極206、207、208、209、210、211、面積調整用パターン221a~221c、ギャップ

220を介して基板214上に設けられた可動マス（可動電極）201、可動マス201を支持する4本の梁202a~202d、梁202a~202dを基板214に固定するアンカー部203a~203dを備える。梁202a、202b；202c、202dは長さ2 \times L2の両持ち梁を構成し、可動マス201は長さL1にわたってその両側部を両持ち梁に支持されている。一対の固定電極204、205は相互に入り組んだ櫛形電極である。

【0038】この例の可動マス201は、先の例と同様に6本の細長い電極部を有する。ただし、6本の細長い電極部を連結する固定用の筋交い梁215、216が、可動マス201の端部に配置されている図3の場合と異なり、内部に配置されている点で先の例と異なる。このためサイド電極208~211が可動マス201によって完全に囲われていない構造となっている。このような構造を採用することによって、サイド電極208、209、210、211の配線が取り出しやすくなる。可動マスの中央部には貫通溝212、213が設けられている。

【0039】可動マス201は、基板214に固定されたアンカー部203a~203dを支点として基板214の表面に平行に変位可能な可動電極として機能する。可動マス201の細長い電極部は各々固定電極204、205の一方又は双方と重なり、可動マス201が図5の左右方向に変位したとき、それぞれ固定電極204、205との重なり程度が変化する。

【0040】加速度の検出原理等は、図3、図4で説明した先の例のものと同様である。図5に示すような構造を採用することによって、サイド電極208、209、210、211の配線が取り出しやすくなる。

【0041】図7は、本発明による静電容量式加速度センサの全体的な回路構成の一例を示す概略図である。この回路は、信号印加部231、加速度検出部232、容量検出部233、出力調整部234からなる。信号印加部231は、電源VDD、アナログスイッチSW1、SW2よりなる。加速度検出部232は、静電容量CS1、CS2を有する2つの可変容量コンデンサからなっており、これらの可変容量コンデンサは図3~図6で説明した可動マス（可動電極）101；201と1組の固定電極104、105；204、205によって構成される。容量検出部233はアナログスイッチSW3、SW4、SW5、演算増幅器OP1、コンデンサCT、CFによって構成される。出力調整部234は電源VDD、演算増幅器OP2、抵抗R4、R5、6、R7、VR、コンデンサC4、ツェナーロムZRによって構成される。

【0042】信号印加部231と加速度検出部232、容量検出部233はスイッチドキャパシタ回路構成になっており、各スイッチのON-OFF動作によって容量

値に比例した出力が得られる。容量検出部233の出力電圧(OP1の出力)を V_o とすると、本回路の動作は次の【数2】で表される。【数2】において、 n はデジタル処理における計測タイミングを表し、 $V_o(n-1)$ は計測タイミング n の1タイミング前の出力電圧を表す。

【0043】

【数2】 $CF \cdot V_o(n) = CF \cdot V_o(n-1) - CT \cdot V_o(n-1) - CS1 \cdot VDD + CS2 \cdot VDD$

【0044】上記【数2】は、最終的には次の【数3】で表される関係になる。

【0045】

【数3】 $V_o = (CS2 - CS1) \cdot VDD / CT$

【0046】従って、加速度が検出素子に印加されると、可動マス(可動電極)と2つの固定電極によって構成される2つのコンデンサの静電容量の差($CS2 - CS1$)の値が電圧出力 V_o に変換される。この出力電圧 V_o は、出力調整回路234によって所定のオフセット電圧(通常は加速度が加わらない状態で2.5V)と感度[通常は40mV/G程度(1Gは9.8m/s²)]に調整される。このような回路構成によって、加速度信号を比較的容易に電圧信号に比較することができる。

【0047】本発明による静電容量式加速度センサの特性例を図8に示す。図3及び図5に図示したように、両持ち梁と可動マスの固定長を $L1$ 、両持ち梁の半分の長さを $L2$ とし、その比 $L2/L1$ を λ とする。更に、加速度が加わった場合の2つのコンデンサの静電容量の差($CS2 - CS1$)の値を ΔC とすると、図8に示されているように、 λ が1.33のところで容量変化 ΔC が最大になる。容量変化 ΔC が大きければ大きいほど加速度の検出分解能が高くなる。容量変化 ΔC の大きさは検出精度に影響を与えるため、検出精度から考えてピーク値の95%以上の感度があればよいとすると、そのときの可動電極と梁の固定長の長さ $L1$ に対する両持ち梁の半分の長さ $L2$ の比 λ は0.8~2.2となる。従って、 $\lambda (=L2/L1)$ が0.8~2.2の範囲で可動マスの寸法を決定すると、最小の面積で最も効率よく大きな感度(ΔC)を得ることが可能となる。

【0048】本発明による静電容量式加速度センサの断面図を図9に示す。図9は図4(a)あるいは図6

(a)に相当する断面図である。可動マス(可動電極)101;201とサイド電極106~109;206~209のパターンと固定電極104,105;204,205のパターンがバラツキなく適正にパターンニングできた場合には、図9(a)に示すように、可動マス101;201と2つの固定電極104,105;204,205の対向部の長さ $W1$, $W2$ がそれぞれ等しくなる。しかし、これらの電極のパターンニングにズレが生じると、図9(b)に図示するように、対向部の長さ

$W1$ と $W2$ とは等しくならない。このため、基板114;124と垂直方向に加速度が加わり、可動マス101;201に基板114;124と垂直方向の変位 Δy が生じた場合、次の【数4】で表される容量変化が生じてしまう。

【0049】

【数4】 $\Delta C_{ax} = \epsilon (S2 - S1) / (d + \Delta y)$

加速度が検出方向に加わった時の容量変化 ΔC に対する ΔC_{ax} の比が他軸感度となり、検出誤差の一要因となる。

【0050】可動マス101,201の厚みを h とし、基板114;214と可動マス101;201間のギャップを d とし、 h と d の比 h/d を β とすると、 β と $\Delta C_{ax}/\Delta C$ の関係を図10に示す。図10に示されているように、 β が2のとき他軸感度($\Delta C_{ax}/\Delta C$)が最小となり、検出誤差が最小になる。加速度センサに要求される他軸感度特性は一般に $\pm 4 \sim 5\%$ 以下となっている。本発明の静電容量式加速度センサの他軸感度が $\pm 5\%$ 以下になる β の値は図10から1.2~3.4であり、この範囲で β の値を設定すればよいことが分かる。

【0051】次に、基板に形成された面積調整用パターンの利用方法について説明する。図3及び図5に示した平面図において、面積調整用パターンが形成された部分の拡大図を図11(a)に、調整方法を説明する断面模式図を図11(b)、(c)に示す。なお、図11(b)、(c)は、それぞれ図11(a)のB-B断面図及びB'-B'断面図である。

【0052】製造プロセスに原因して、可動マス101;201の部分が基板に対して紙面の右方向にずれて形成された場合の様子を図示したものが図11(b)である。この場合、可動マス(可動電極)101;201と固定電極104;204の間の静電容量よりも、可動マス(可動電極)101;201と固定電極105;205間の静電容量が大きくなる。これを補償するため、スイッチSWa1,SWa2,SWa3を切り替えて、固定電極104;204に面積調整用のパターン121;221を接続する。この操作により固定電極104;204の面積が実効的に増大され、可動マス101;201と固定電極104;204の間の静電容量を、可動マス101;201と固定電極105;205間の静電容量と等しくすることができる。

【0053】同様に、可動マス101;201の部分が基板に対して紙面の左方向にずれた場合の様子を図示したものが図11(c)である。この場合、可動マス(可動電極)101;201と固定電極105;205間の静電容量よりも、可動マス(可動電極)101;201と固定電極104;204間の静電容量が大きくなる。これを補償するため、スイッチSWb1,SWb2,SWb3を切り替えて、今度は固定電極105;205に面積調整用のパターン121;221を接続す

る。この操作により固定電極105;205の面積が実効的に増大され、可動マス101;201と固定電極105;205間の静電容量を、可動マス101;201と固定電極104;204間の静電容量と等しくなるように調整することができる。

【0054】このように、スイッチによって固定電極と選択的に接続可能な面積調整用のパターンを基板上に設けておくことにより、製造プロセスでのパターンずれに起因して2つのコンデンサ間に生ずる静電容量のアンバランスを容易に補償することができる。また、加速度センサ全体としての回路構成の点からしても、面積調整用のパターンを利用して前段で静電容量のバラツキを補償することができるため、後段の容量検出回路の構成が簡素化される。

【0055】図12に、スイッチを切り替えるための調整回路の一例を示す。この調整方法はツェナーザッピングを用いたものである。この調整回路は入力端子IN、電源Vcc、トランジスタMN1、ツェナーダイオードZR1、インバータINV、スイッチSwab(図11に示した調整用スイッチ)で構成される。入力端子INに所定の電圧、電流波形を印加するとツェナーザップZR1が短絡して破壊され、アノード-カソード間がショートされ、入力端子INはグラウンドにショートされる。このことによってインバータINVが反転され、スイッチSwabのON-OFFが制御される。このようなスイッチング切り替え方法を用いることにより、デジタル的にかつ容易に対向する電極の面積調整を行うことが可能となる。

【0056】図13は、調整回路の他の例を示す図である。この調整回路は入力端子IN、電源電圧Vcc、トランジスタMN1、抵抗PR1、インバータINV、スイッチSwab(図11に示した調整用スイッチ)で構成される。抵抗PR1は多結晶シリコンでできており、入力端子INに所定の電圧、電流波形を印加すると抵抗PR1が短絡して破壊され、アノード-カソード間がショートされ、入力端子INはグラウンドにショートされる。このことによってインバータINVが反転され、同様にスイッチSwabのON-OFFが制御される。この方法を用いることによって、デジタル的にかつ容易に対向する電極の面積調整を行うことが可能となる。

【0057】この他、EEPROM等の回路を用いても同様に電極面積調整回路を構成することができる。図14は、可動マスと(可動電極)と2つの固定電極によって構成される2つのコンデンサの静電容量を調整する他の方法を示す説明図である。

【0058】図14(a)に示した例では、調整用電圧241を可動マス101;201とサイド電極106;206間に印加する。この方法は、可動マス101;201とサイド電極106;206の間に作用する静電気力によって、可動マス101;201を固定電極10

4,105;204,205との対向部の長さW1,W2が等しくなる位置まで変位させ、パターンずれを強制的に補償する方法である。静電気力の大きさは、調整用電圧241の電圧値を変えることによって調整する。この方法によると、基板上に前述の面積調整用パターンのような特別なパターンを付加することなく、2つのコンデンサの静電容量を調整することが可能となる。

【0059】図14(b)は、図14(a)の方法と同様に、調整用電圧242を可動マス101;201とサイド電極106;206間に印加することによって可動マス101;201をW1とW2が等しくなる位置まで変位させ、パターンずれを強制的に補償する方法である。静電気力の調整は、調整用電圧242につながるサイド電極の一部(図示の例では108;208)との接続をスイッチ243を介して切り換えてサイド電極の面積を変化させることによって行う。すなわち、サイド電極の面積制御によって、可動マス101;201とサイド電極間の静電気力を調整する。この方法によっても、前述の面積調整用パターンのような特別なパターンを付加することなく、2つのコンデンサの静電容量を調整することができる。

【0060】次に、本発明による静電容量式加速度センサの製造方法について説明する。なお、図3及び図4を用いて説明した加速度センサと、図5及び図6を用いて説明した加速度センサは同一の製造プロセスで製造できるため、以下では図3及び図4に示した加速度センサの例で説明をおこなう。

【0061】図15、図16は、本発明による静電容量式加速度センサの製造方法の一例を説明する工程図である。図15及び図16は、図3のA-A断面に相当する図である。まず、単結晶シリコンからなる基板114に熱酸化膜(SiO₂膜)301をデポジションし、さらにその上に窒化膜(Si₃N₄膜)302をデポジションする(a)。

【0062】次に、Si₃N₄膜302に塗布したホトレジストに形成されたパターンを介してSi₃N₄膜302をドライエッチングし、Si₃N₄膜302にホトレジストのパターンを転写する。続いて、Si₃N₄膜302をマスクとしてボロンやリン等の不純物をイオン打ち込みによりドーピングし、熱拡散して固定電極104,105を形成する(b)。

【0063】その後、SiO₂膜301、Si₃N₄膜302をエッチング除去し、その後酸化膜(SiO₂膜)303をCVDによりデポジションする(c)。SiO₂膜303をホトレジスト加工により、ドライエッチングをおこない、梁のアンカー部やサイド電極になる孔304を形成する(d)。

【0064】その上に多結晶シリコン膜305をLPCVDによりデポジションし、リン処理による導電化処理の後、SiO₂酸化膜306をCVDによりデポジシ

ンする(e)。続いて、 SiO_2 膜306をホトレジスト加工により、ドライエッチングをおこない、 SiO_2 膜306に多結晶シリコン膜305を加工するためのパターンを転写する(f)。

【0065】次に、 SiO_2 膜306をマスクとして、多結晶シリコン膜305をドライエッチングで加工を行う(g)。最後に、多結晶シリコン膜305の下方の SiO_2 膜303をフッ酸処理によって除去し、アンカー部分を除いて基板114と可動マス間に空隙を形成し、完成する。このとき、図3に示した貫通溝112、113はフッ酸を SiO_2 膜303に効率的に導くための通路として作用する(h)。

【0066】このような製造プロセスを採用することによって、一般的なIC製造プロセスを用いて製造できるため、回路部との1チップ化が可能となり、小型化、低価格化が可能となる。また、可動マス101とサイド電極106~109を同一部材、同一プロセスで製造できるため、サイド電極を形成するための特別なプロセスが必要なく、コストアップ要因が生じない。更に、基板上の固定電極と可動マス間のギャップはCVDによって形成される SiO_2 膜による膜厚制御が可能であり、高精度に制御できる。一方、従来例では、可動マスと固定電極間のギャップはホトリソグラフィとドライエッチングの精度によるため、バラツキが大きい。

【0067】図17、図18、図19は、本発明による静電容量式加速度センサの製造方法の他の例を説明する工程図である。まず、単結晶シリコンからなる基板114に熱酸化膜(SiO_2 膜)311をデポジションし、さらにその上に窒化膜(Si_3N_4 膜)312をデポジションする(a)。

【0068】更に、多結晶シリコン膜313、 SiO_2 膜314をデポジションし、リン処理により、導電化する(b)。 SiO_2 膜314をホトレジストに形成されたパターンを介してドライエッチングし、 SiO_2 膜314にホトレジストのパターンを転写する(c)。

【0069】次に、 SiO_2 膜314をマスクとして多結晶シリコン313をドライエッチングし、固定電極104、105、サイド電極用配線315を形成する。その後、 SiO_2 膜314を除去する(d)。次に、 SiO_2 膜316をCVDによりデポジションする(e)。

【0070】次に、 SiO_2 膜316をホトレジスト加工によりドライエッチングし、梁のアンカー部やサイド電極になる孔317を形成する(f)。その上に多結晶シリコン膜318をLPCVDによりデポジションし、リン処理による導電化処理の後、 SiO_2 膜319をCVDによりデポジションする(g)。

【0071】 SiO_2 膜319をホトレジスト加工によりドライエッチングし、 SiO_2 膜319に多結晶シリコン膜318を加工するためのパターンを転写する(h)。次に、 SiO_2 膜319をマスクとして、多結

晶シリコン膜318をドライエッチングで加工を行った後、 SiO_2 膜319を除去する(i)。

【0072】最後に、多結晶シリコン膜318の下方の SiO_2 膜316をフッ酸処理によって除去し、基板114と可動マス間に空隙を形成し完成する。このとき、図3に示した貫通溝112、113はフッ酸を除去すべき SiO_2 膜316に効率的に導くための通路として作用する。

【0073】このような製造プロセスを採用することによって、一般的なIC製造プロセスを用いて製造できるため、回路部との1チップ化が可能となり、小型化、低価格化が可能となる。また、可動マスとサイド電極を同一部材、同一プロセスで製造できるため、サイド電極を形成するための特別なプロセスが必要なく、コストアップ要因が生じない。更に、基板上の固定電極と可動マス間のギャップはCVDS SiO_2 膜による膜厚制御が可能であり、高精度に制御できる。更に、固定電極の配線を不純物によるpn分離で形成するのではなく、酸化膜によって完全分離された多結晶シリコンを用いて形成しているため、浮遊容量が少なく、高精度な容量検出を行うことができる。固定電極は金属を用いても良い。

【0074】図20は、本発明による静電容量式加速度センサの他の例の平面図である。図21はその断面図であり、(a)、(b)は図20中に指示されたA-A、B-Bラインでの断面形状を示す。

【0075】この例の静電容量式加速度センサは、単結晶シリコン基板407に対向して配置された一対の固定電極404、405、アンカー部403a~403dで基板407に固定された4個の梁402a~402dによって基板407上に支持された可動マス401を備える。梁402a、402b、402c、402dは長さ $2 \times L/2$ の両持ち梁を構成し、可動マス401は長さL1にわたってその両側部を両持ち梁に支持されている。単結晶シリコン基板407の表面には保護膜となる SiO_2 膜411と Si_3N_4 膜412が積層されている。可動マス401には、この図の例では3個のスリット406が設けられ、電極機能を有する。図21(a)に示されているように、固定電極404、405は可動マス401に設けられたスリット406内に入り込んで可動マス(可動電極)401の側方に位置している。

【0076】基板面に対し水平方向(図20、図21の左右方向)に加速度が加わると、可動マス401が固定電極404、405に対して変位し、可動マス401のスリット406の端面と固定電極404、405との間のギャップがそれぞれ変化する。

【0077】可動マス401と固定電極404、405との対向面積をS、加速度ゼロの平衡状態における可動マス401と固定電極404、405とのギャップをd、誘電率を ϵ とし、加速度が加わった時のギャップの変化量を Δd とすると、可動マス401と固定電極40

4によって構成される第1のコンデンサの静電容量と、可動マス401と固定電極405によって構成される第2のコンデンサの静電容量の差 ΔC は次の〔数5〕で表される。このように、加速度が作用することによって加速度センサ内に形成されている2組のコンデンサの静電容量の差が変化し、それを検出することで加速度を検出することができる。

【0078】

〔数5〕 $\Delta C = 2 \epsilon \cdot S \cdot \Delta d / \{d^2 - (\Delta d)^2\}$

【0079】この例の加速度センサでは、可動マス401は固定電極404、405を完全に囲う構造となっている。このような構造の採用によって、加速度センサにいずれの方向から過大な衝撃が印加されても、ストッパの役目を兼用する固定電極404、405によって可動マス401の変位が制限され保護されるため、センサ検出部が破壊することはない。

【0080】図22は、図20、図21に示した加速度センサの特性を示す図である。図20に図示したように、梁402a～402dと可動マス401の固定長を L_1 、両持ち梁402a、402b；402c、402dの半分の長さを L_2 とし、その比 L_2/L_1 を λ とする。横軸に λ をとり、縦軸に前記〔数5〕の ΔC をとって、 λ と ΔC の関係を求めると、図22に示したように λ が1.33のところで ΔC が最大となる。容量変化 ΔC は大きければ大きいほど加速度の検出分解能が高くなる。容量変化 ΔC の大きさは検出精度に影響を与えるため、検出精度から考えてピーク値の95%以上の感度があればよいとすると、そのときの可動電極と梁の固定長の長さ L_1 に対する梁の半分の長さ L_2 の比 λ は0.8～2.2となる。従って、 $\lambda (=L_2/L_1)$ が0.8～2.2の範囲で可動マスの寸法を決定すると、最小の面積で最も効率よく大きな感度(ΔC)を得ることが可能となる。

【0081】図23～図25は、図20、図21に示した静電容量式加速度センサの製造方法の一例を説明する工程図である。この工程図は、図20のA-Aに沿った断面に相当する図である。

【0082】まず、単結晶シリコンからなる基板407に熱酸化膜(SiO_2 膜)501をデポジションし、さらにその上に窒化膜(Si_3N_4 膜)502をデポジションする(a)。

【0083】次に、ホトレジストに形成されたパターンを介して Si_3N_4 膜502をドライエッチングし、 Si_3N_4 膜502にホトレジストのパターンを転写する。続いて、 Si_3N_4 膜502をマスクとしてボロンやリン等の不純物をイオン打ち込みによりドーピングし、熱拡散して固定電極404、405を形成する(b)。

【0084】その後、 SiO_2 膜501、 Si_3N_4 膜502を除去し、酸化膜(SiO_2 膜)503をCVDによりデポジションする(c)。 SiO_2 膜503をホト

レジスト加工により、ドライエッチングする(d)。

【0085】 SiO_2 膜503をマスクとして、単結晶シリコン基板407をエッチング加工し、その後 SiO_2 膜503を除去する。この工程によって基板407の表面が彫り込まれて凹部504が形成され、固定電極404、405はその凹部504の垂直壁として出現する(e)。次に、その上に SiO_2 膜411と Si_3N_4 膜412をCVDによりデポジションし、更に SiO_2 膜505をCVDによりデポジションする(f)。

【0086】 SiO_2 膜505をホトレジスト加工によりドライエッチングし、アンカー部となる部分506を加工する(g)。その後、多結晶シリコン膜507をLPCVDによりデポジションし、リン処理による導電化処理の後、 SiO_2 膜508をCVDによりデポジションする(h)。

【0087】次に、 SiO_2 膜508をホトレジスト加工によりドライエッチングし、多結晶シリコン膜507を加工するためのパターンを転写する(i)。続いて、パターンが転写された SiO_2 膜508をマスクとして多結晶シリコン膜507をドライエッチングで加工し、加工後、 SiO_2 膜508を除去する(j)。最後に、一部が多結晶シリコン膜507と Si_3N_4 膜412の間に存在する SiO_2 膜505をフッ酸処理によって除去し、センサ検知部を完成する(k)。

【0088】このような製造プロセスを採用することにより、一般的なIC製造プロセスを用いてセンサの検知部を製造することができるため、回路部との1チップ化が可能となり、小型化、低価格化が可能となる。基板上の固定電極404、405と可動マス401のギャップは SiO_2 膜505によるCVD膜厚制御が可能であり、高精度に制御することができる。

【0089】図26は本発明による静電容量式加速度センサの他の例の平面図、図27はその断面図である。図27(a)、(b)は、各々図26中に指示されたA-A、B-Bラインでの断面形状を示している。

【0090】この例の加速度センサは、単結晶シリコン基板607上に突出して設けられた一対の固定電極609、610と、可動マス(可動電極)601と、可動マスの周囲を包囲するようにして基板607の表面に設けられた枠608とを備える。固定電極609、610は配線604、605により接続されている。単結晶シリコン基板607の表面には保護膜となる SiO_2 膜611と Si_3N_4 膜612が積層されている。電極機能を有する可動マス611にはスリット606が設けられ、このスリット606内に一対の固定電極609、610が各々スリット606の端面に面して配置されている。可動マス611は、アンカー部603a～603dで基板607に固定された4本の梁602a～602dによって、基板607上にギャップ613を介して支持されている。梁602a、602b；602c、602dは長

さ $2 \times L2$ の両持ち梁を構成し、可動マス601は長さ $L1$ にわたってその両側部を両持ち梁に支持されている。

【0091】基板面に対し水平方向（図26の左右方向）に加速度が加わると、可動マス601が固定電極609、610に対して変位し、可動マス601と固定電極609、610とのギャップがそれぞれ変化する。したがって、可動マス601と固定電極609によって構成される第1のコンデンサの静電容量と、可動マス601と固定電極610によって構成される第2のコンデンサの静電容量との差が変化し、それを検知することにより加速度を検出することができる。

【0092】この例のような構造を採用すると、単結晶シリコン基板607を彫り込むことがないため、配線が取り出しやすくなる。また、可動マス601の周囲に枠608を設けたため、センサ検出部にいずれの方向から過大な衝撃が印加されても、枠608によって可動マス601の変位が制限されるため、センサが破壊することはない。

【0093】図28～図30は、図26及び図27に示した加速度センサの製造方法の一例を示す工程図である。まず、単結晶シリコンからなる基板607に熱酸化膜（ SiO_2 ）701をデポジションし、さらにその上に窒化膜（ Si_3N_4 膜）702をデポジションする（a）。

【0094】次に、ホトレジストに形成されたパターンを介して Si_3N_4 膜702をドライエッチングし、 Si_3N_4 膜702にホトレジストのパターンを転写する。続いて、 Si_3N_4 膜702をマスクとしてボロンやリン等の不純物をイオン打ち込みによりドーピングし、熱拡散して固定電極の配線604、605を形成する（b）。

【0095】その後、 SiO_2 膜701、 Si_3N_4 膜702を除去し、酸化膜（ SiO_2 膜）703をCVDによりデポジションする（c）。 SiO_2 膜703をホトレジスト加工によりドライエッチングする。この加工により、配線604、605に一部重なった壁部が基板上に突出して形成される（d）。

【0096】その上に多結晶シリコン膜704をLPCVDによりデポジションし、導電化のためのリン処理を行う（e）。次に、多結晶シリコン膜704をエッチング加工して、前記壁部の側部に固定電極609、610を形成する。固定電極609、610は配線604、605に接続されている（f）。

【0097】その上に、 SiO_2 膜611と Si_3N_4 膜612と SiO_2 膜705をCVDによりデポジションする（g）。 SiO_2 膜705をホトレジスト加工によりドライエッチングし、アンカー部となる部分706を加工する（h）。

【0098】その後、多結晶シリコン膜707をLPCVDによりデポジションし、リン処理による導電化処理

の後、 SiO_2 膜708をCVDによりデポジションする（i）。 SiO_2 膜708をホトレジスト加工により、ドライエッチングをおこない、多結晶シリコン膜707を加工するためのパターンを転写する（j）。

【0099】多結晶シリコン膜707をドライエッチングで加工し、可動マス701や梁及び梁のアンカー部603を形成し、その後 SiO_2 膜708を除去する（k）。

【0100】最後に、一部が多結晶シリコン膜707と Si_3N_4 膜612の間に位置する SiO_2 膜705をフッ酸処理によって除去し、固定電極609、610と可動マス601の間のギャップ606を形成し、センサ検出部を完成する（l）。

【0101】このような製造プロセスを採用することにより、センサの検出部を一般的なIC製造プロセスを用いて製造できるため、回路部との1チップ化が可能となり、小型化、低価格化が可能となる。また、基板上の固定電極609、610と可動マス601のギャップは SiO_2 膜によるCVD膜厚制御が可能となっており、高精度に制御することができる。更に、基板表面に積層できるため配線が容易である。また、固定電極は金属を用いても良い。

【0102】

【発明の効果】本発明によると、検出加速度に対して出力が直線的に変化し、極めて高精度の加速度センサを得ることができる。また、過大応力による損傷防止のためのサイド電極を用いて共振防止と自己診断機能を同時に実現可能となる。更に、面積調整用パターンを設けることにより、静電容量のバラツキを検出素子内部で補償できるため、後段につながる検出回路の構成が簡単になる。更に、最小の面積で最も効率よく大きな感度（ ΔC ）を得ることが可能となり、他軸感度による検出誤差を最小に抑えることができる。

【0103】本発明の加速度センサは、一般的なIC製造プロセスを用いて製造できるため、回路部との1チップ化が可能となり、小型化、低価格化が可能となる。また、可動マスとサイド電極を同一部材、同一プロセスで製造できるため、サイド電極を形成するための特別なコストアップ要因が生じない。更に、基板上の固定電極と可動マスのギャップは SiO_2 膜によるCVD膜厚制御で高精度に制御できる。

【図面の簡単な説明】

【図1】本発明による静電容量式加速度センサの一例の基本構成を示す略図。

【図2】本発明による静電容量式加速度センサの他の例の基本構成を示す略図。

【図3】本発明による静電容量式加速度センサの一例を示す平面図。

【図4】図3中に指示されたA-A、B-B、C-Cラインでの断面図。

【図5】本発明による静電容量式加速度センサの他の例を示す平面図。

【図6】図5中に指示されたA-A, B-B, C-Cラインでの断面図。

【図7】本発明による静電容量式加速度センサの全体的な回路構成の一例を示す概略図。

【図8】本発明による静電容量式加速度センサの特性例を示す図。

【図9】本発明による静電容量式加速度センサの断面図。

【図10】本発明による静電容量式加速度センサの他軸感度特性を示す図。

【図11】面積調整用パターンが形成された部分の拡大図、及び調整方法を説明する断面模式図。

【図12】スイッチを切り替えるための調整回路の一例を示す図。

【図13】調整回路の他の例を示す図。

【図14】可動マスと（可動電極）と2つの固定電極によって構成される2つのコンデンサの静電容量を調整する他の方法を示す説明図。

【図15】本発明による静電容量式加速度センサの製造方法の一例を説明する工程図。

【図16】本発明による静電容量式加速度センサの製造方法の一例を説明する工程図。

【図17】本発明による静電容量式加速度センサの製造方法の他の例を説明する工程図。

【図18】本発明による静電容量式加速度センサの製造方法の他の例を説明する工程図。

【図19】本発明による静電容量式加速度センサの製造方法の他の例を説明する工程図。

【図20】本発明による静電容量式加速度センサの他の例の平面図。

【図21】図20中に指示されたA-A, B-Bラインでの断面形状を示す図。

【図22】図20, 図21に示した加速度センサの特性を示す図。

【図23】図20, 図21に示した静電容量式加速度センサの製造方法の一例を説明する工程図。

【図24】図20, 図21に示した静電容量式加速度センサの製造方法の一例を説明する工程図。

【図25】図20, 図21に示した静電容量式加速度センサの製造方法の一例を説明する工程図。

【図26】本発明による静電容量式加速度センサの他の例の平面図。

【図27】図26中に指示されたA-A, B-Bラインでの断面形状を示す図。

【図28】図26及び図27に示した加速度センサの製

造方法の一例を示す工程図。

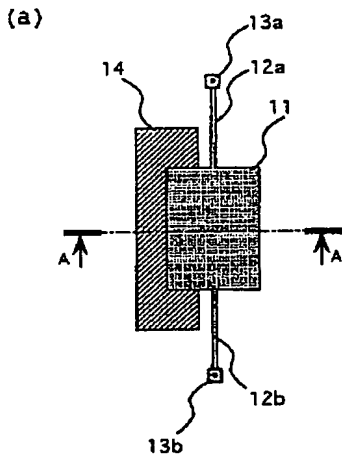
【図29】図26及び図27に示した加速度センサの製造方法の一例を示す工程図。

【図30】図26及び図27に示した加速度センサの製造方法の一例を示す工程図。

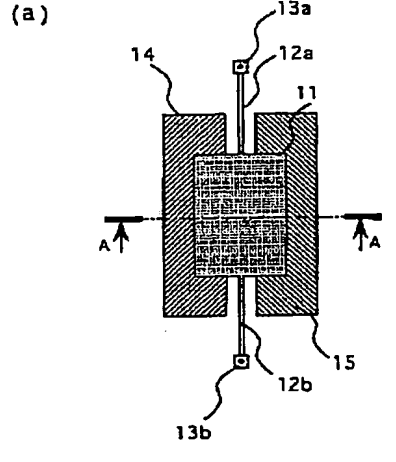
【符号の説明】

101…可動マス（可動電極）、102a～102d…梁、103a～103d…アンカー部、104, 105…固定電極、106～110…サイド電極、112, 113…貫通溝、114…基板、120…ギャップ、121a～121c…面積調整用パターン、201…可動マス（可動電極）、202a～202d…梁、203a～203d…アンカー部、204, 205…固定電極、206～211…サイド電極、212, 213…貫通溝、214…基板、220…ギャップ、221a～221c…面積調整用パターン、231…信号印加部、232…加速度検出部、233…容量検出部、234…出力調整部、241, 242調整用電圧、243…スイッチ、301…SiO₂熱酸化膜、302…Si₃N₄膜、303…SiO₂膜、304…孔、305…多結晶シリコン膜、306…SiO₂膜、311…SiO₂熱酸化膜、312…Si₃N₄膜、313…多結晶シリコン膜、314…SiO₂膜、315…サイド電極用配線、316…SiO₂膜、317…孔、318…多結晶シリコン膜、319…SiO₂膜、401…可動マス（可動電極）、402a～402d…梁、403a～403d…アンカー部、404, 405…固定電極、406…貫通溝、407…基板、411…SiO₂膜、412…Si₃N₄膜、501…SiO₂熱酸化膜、502…Si₃N₄膜、503…酸化膜、505…SiO₂膜、506…アンカー部となる部分、507…多結晶シリコン膜、508…SiO₂膜、601…可動マス（可動電極）、602a～602d…梁、603a～603d…アンカー部、604, 605, 609, 610…固定電極、606…貫通溝、607…基板、608…枠、611…SiO₂膜、612…Si₃N₄膜、701…SiO₂熱酸化膜、702…Si₃N₄膜、703…酸化膜、704…多結晶シリコン膜、705…SiO₂膜、706…アンカー部、707…多結晶シリコン膜、708…SiO₂膜、SW1～SW5…アナログスイッチ、CS1, CS2…静電容量、OP1, OP2…オペアンプ、CT, CF…コンデンサ、VDD…電源、R4～R7, VR…抵抗、C4…コンデンサ、ZR…ツェナーロム、SWa1～SWa3, SWb1～SWb3…スイッチ、IN…入力端子、Vcc…電源、MN1…トランジスタ、ZR1…ツェナーダイオード、INV…インバータ、PR1…多結晶シリコン抵抗

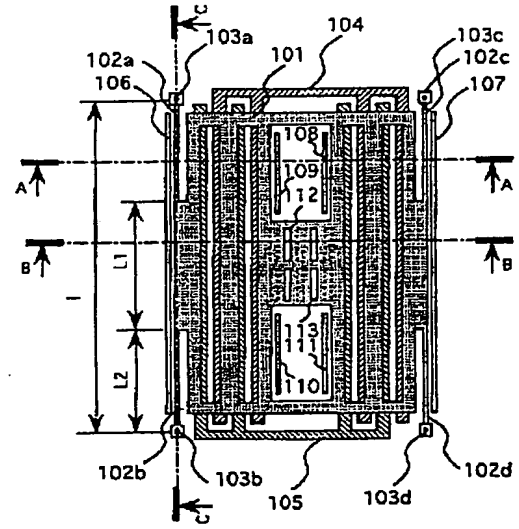
【図 1】



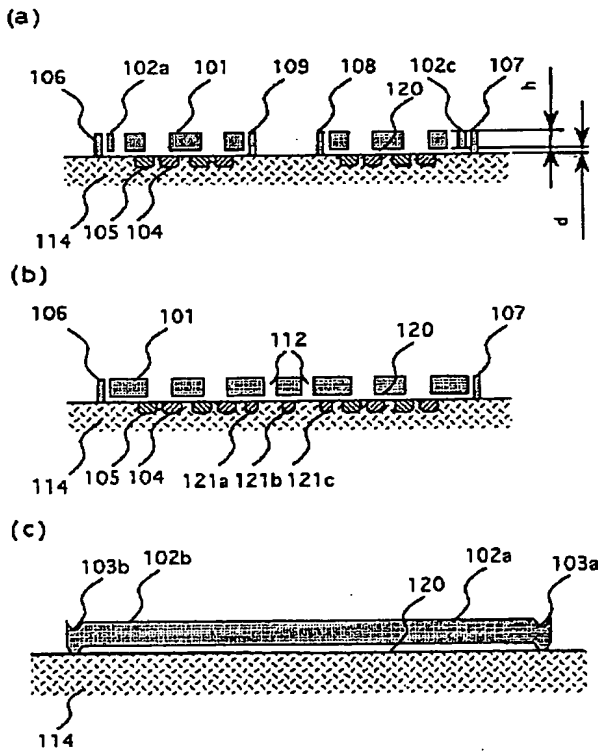
【図 2】



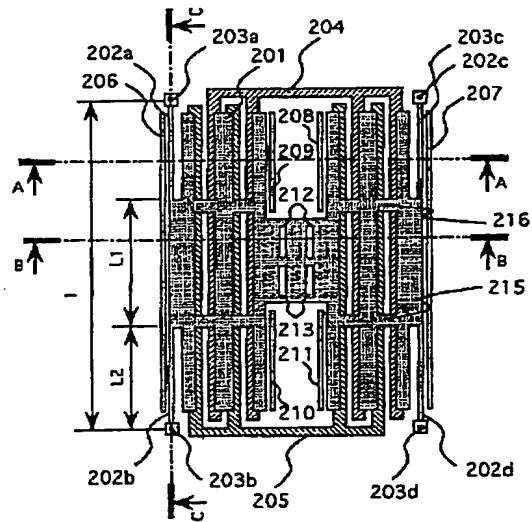
【図 3】



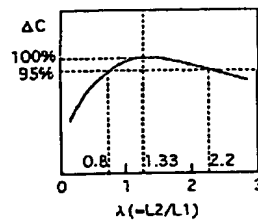
【図 4】



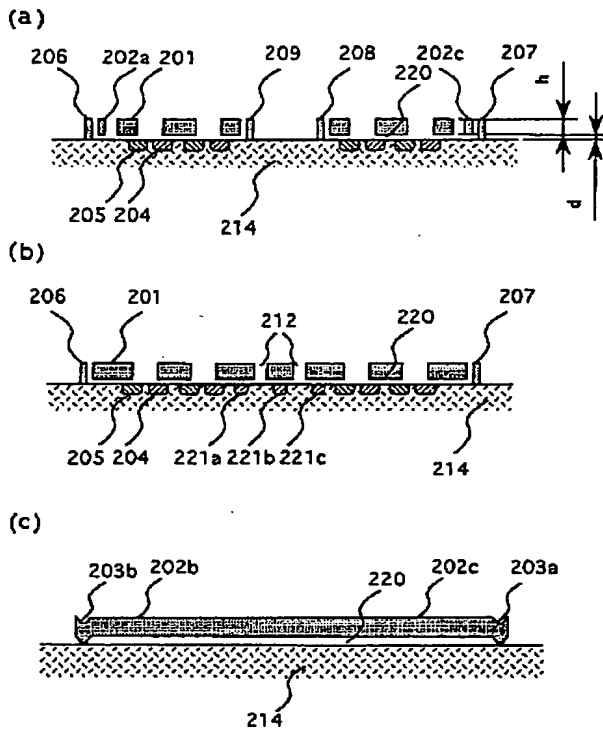
【図 5】



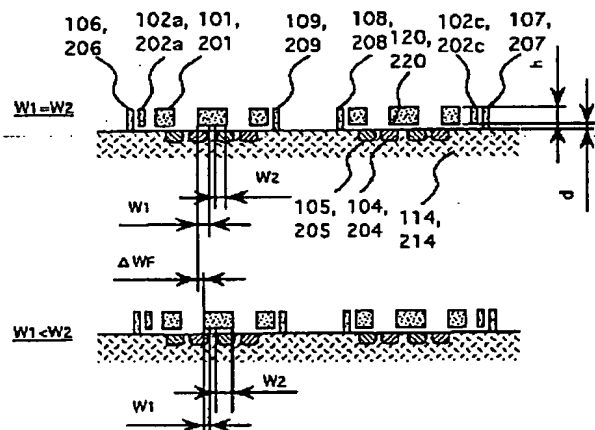
【図 8】



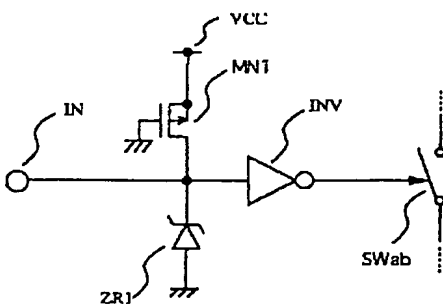
【図 6】



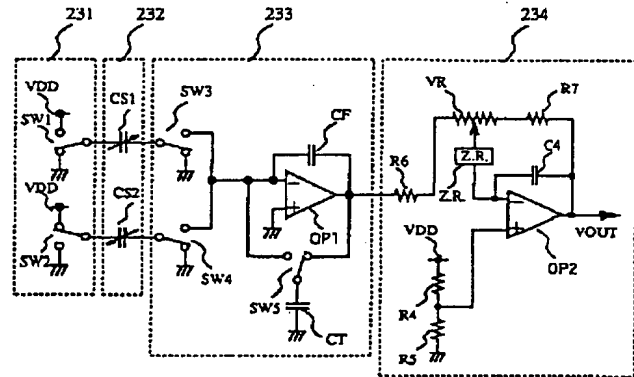
【図 9】



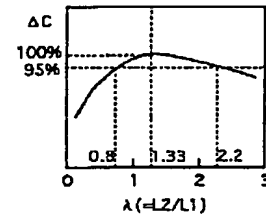
【図 12】



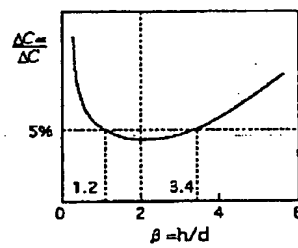
【図 7】



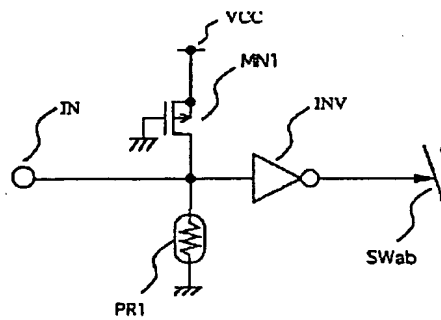
【図 22】



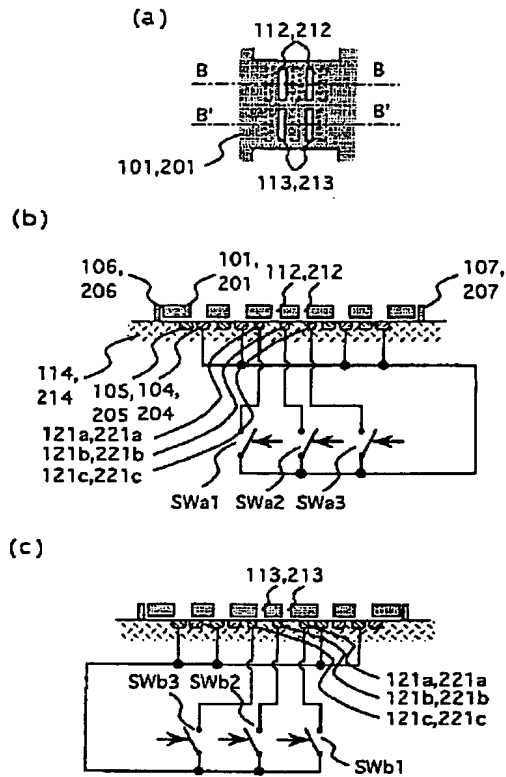
【図 10】



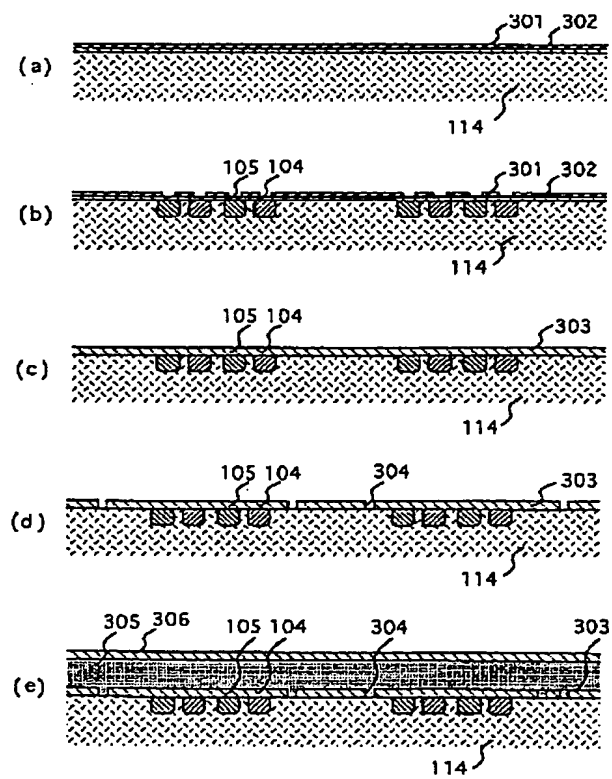
【図 13】



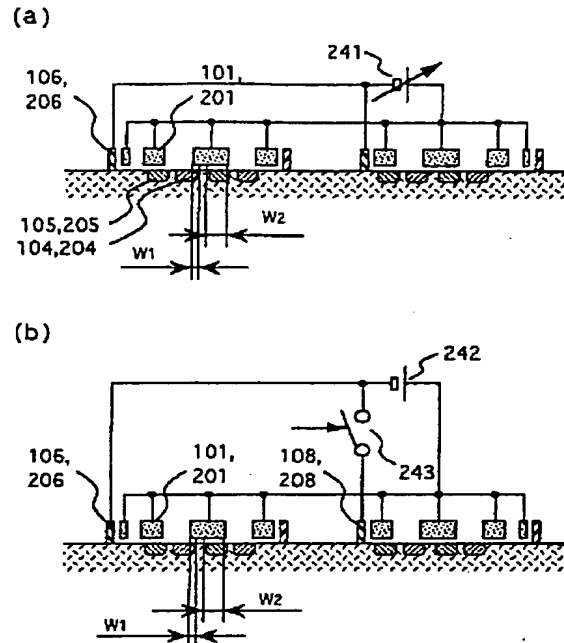
【図 11】



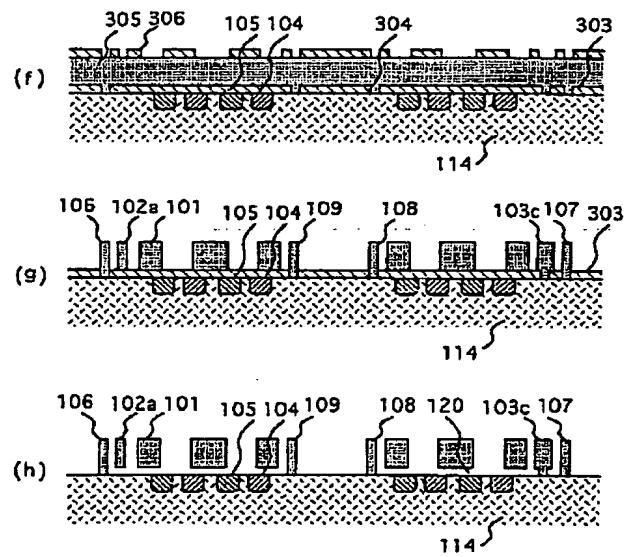
【図 15】



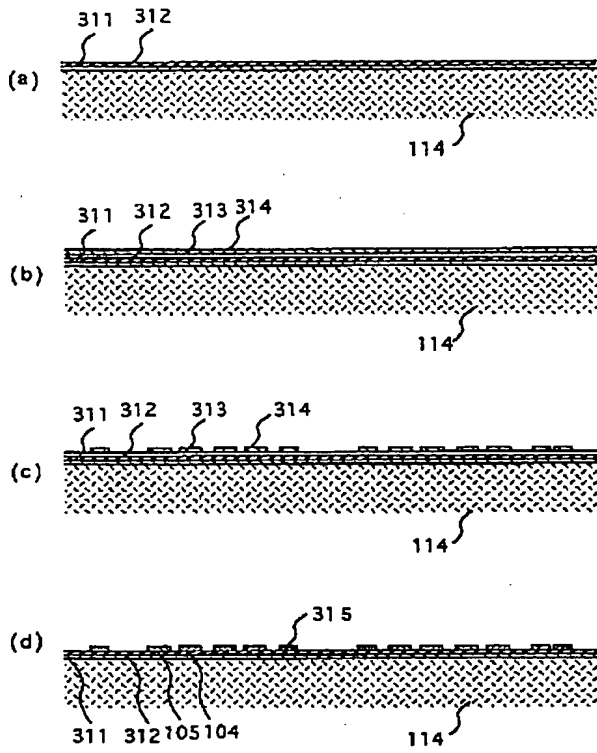
【図 14】



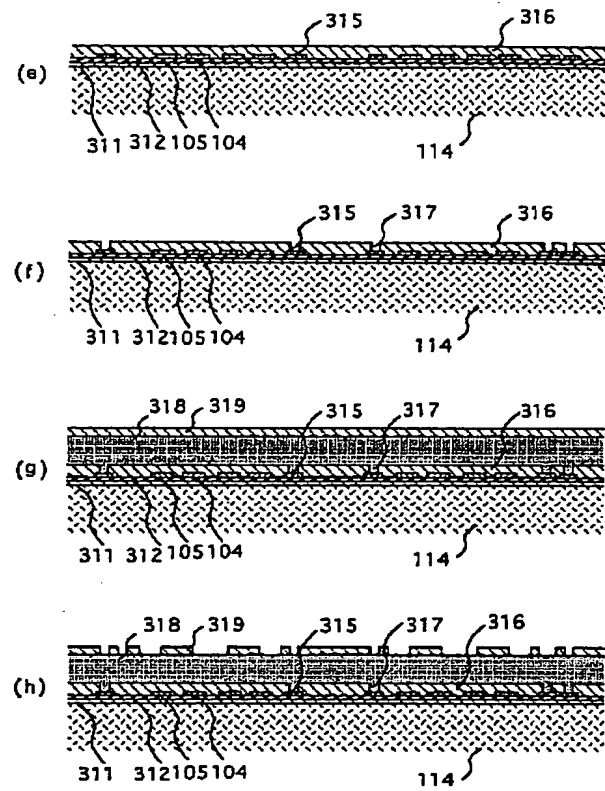
【図 16】



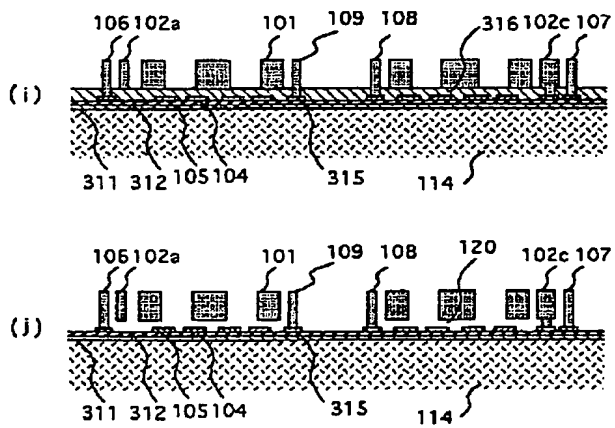
【図17】



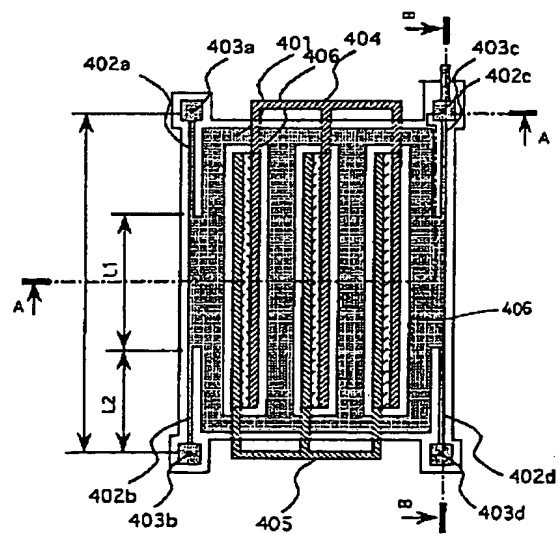
【図18】



【図19】

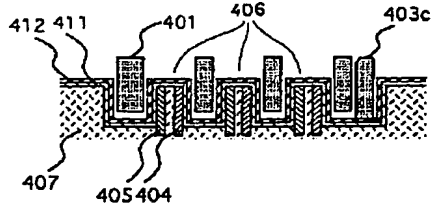


【図20】

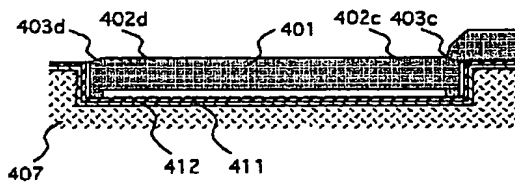


【図21】

(a)

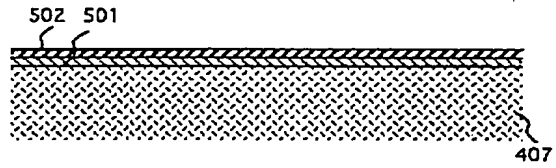


(b)

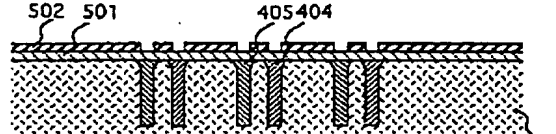


【図23】

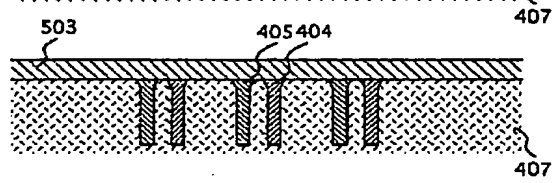
(a)



(b)



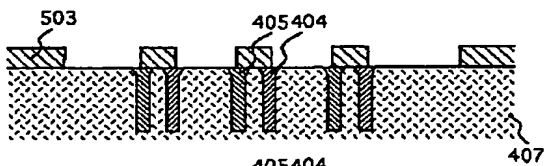
(c)



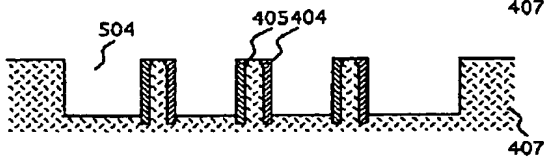
【図25】

【図24】

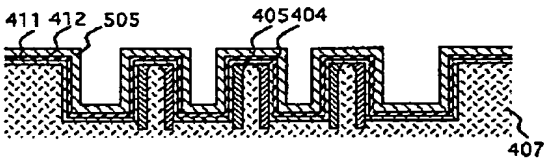
(d)



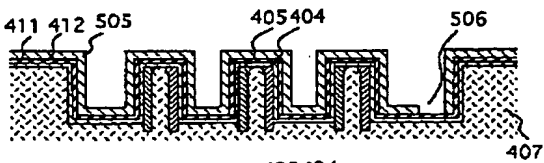
(e)



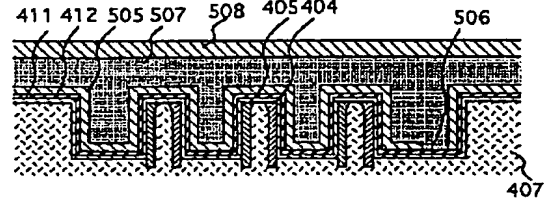
(f)



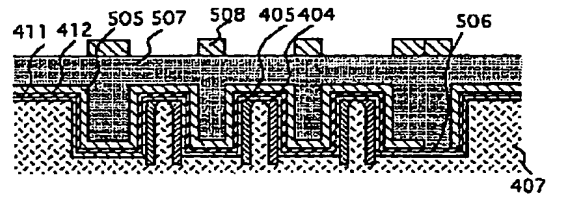
(g)



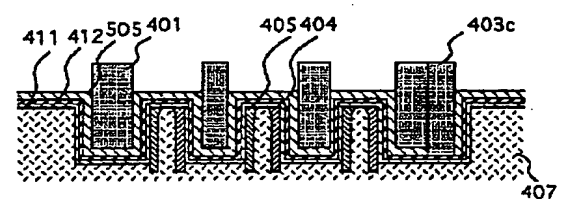
(h)



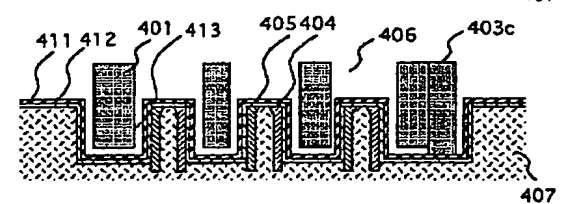
(i)



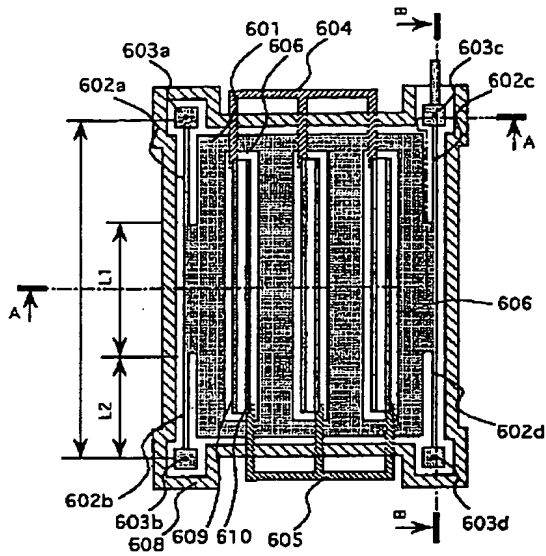
(j)



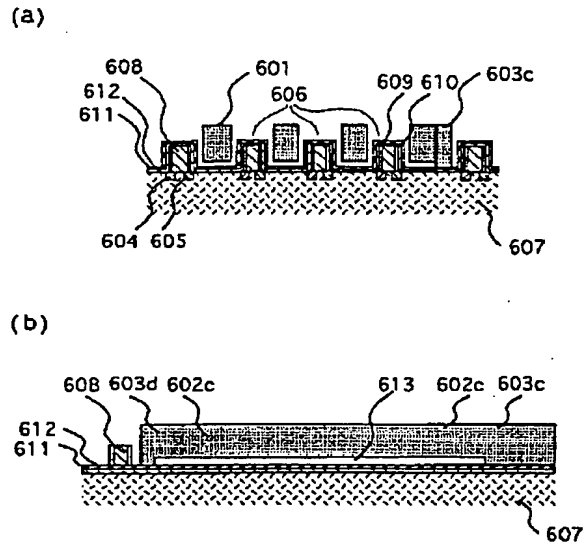
(k)



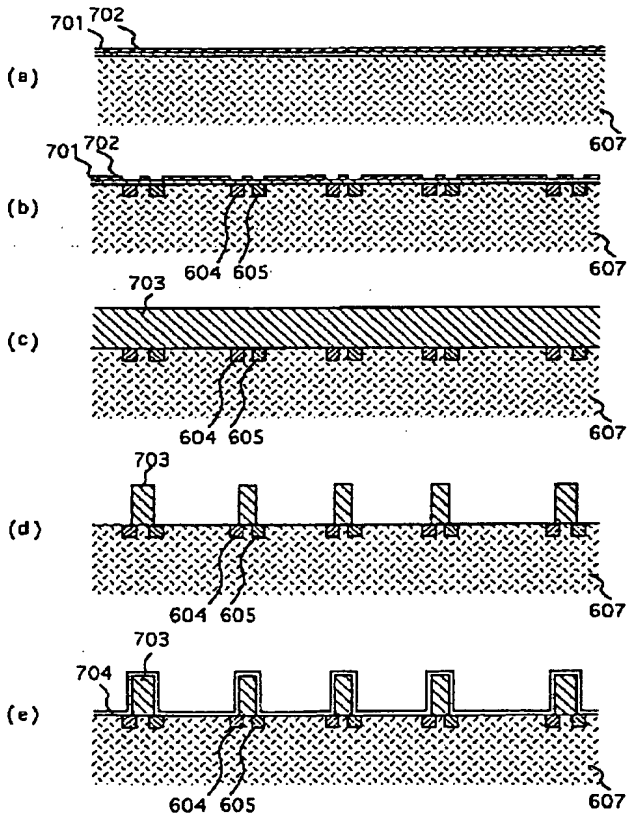
【図26】



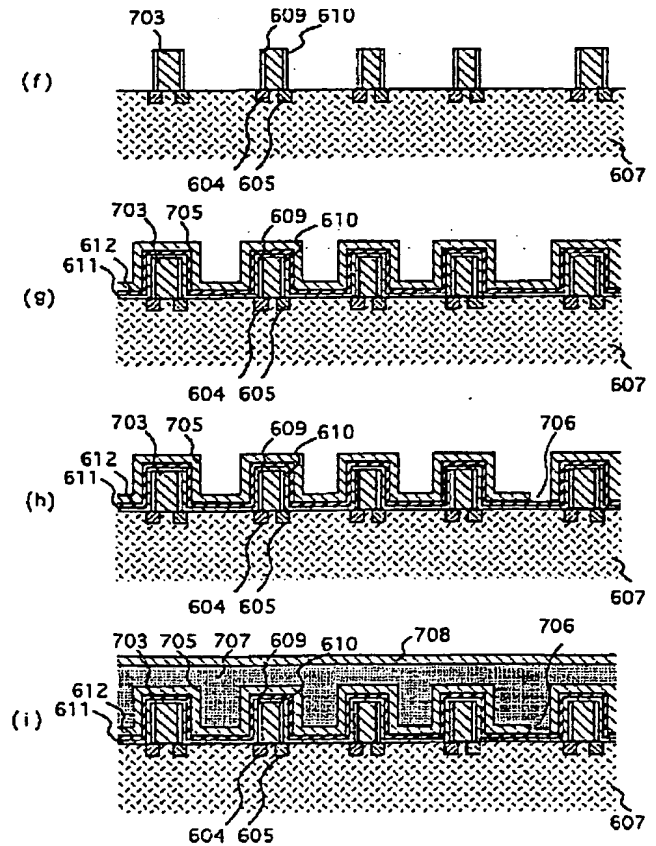
【図27】



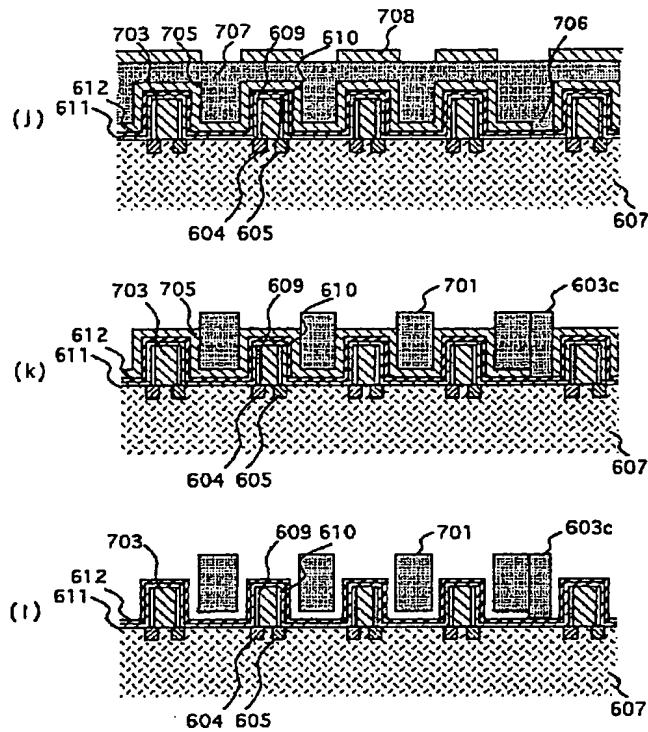
【図28】



【図29】



【図30】



フロントページの続き

(72)発明者 鈴木 清光
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 松本 昌大
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 斉藤 明彦
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72)発明者 市川 範男
茨城県ひたちなか市高場2477番地 株式会社日立カーエンジニアリング内

(72)発明者 堀江 潤一
茨城県ひたちなか市大字高場2520番地 株式会社日立製作所自動車機器事業部内

(72)発明者 仲沢 照美
茨城県ひたちなか市大字高場2520番地 株式会社日立製作所自動車機器事業部内